



KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000027544 A

(43)Date of publication of application: 15.05.2000

(21)Application number: 1019980045496

(22)Date of filing: 28.10.1998

(71)Applicant: HYUNDAI ELECTRONICS  
IND. CO., LTD.(72)Inventor: HONG, SANG GI  
KIM, CHUN HWAN

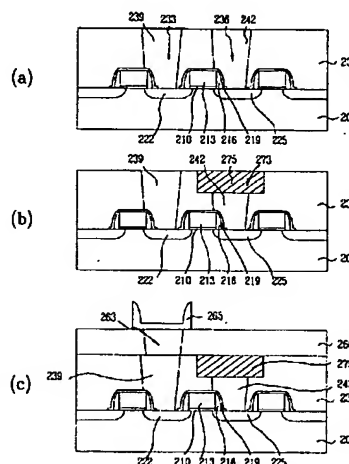
(51)Int. Cl. H01L 27/04

## (54) METHOD FOR MANUFACTURING SEMICONDUCTOR ELEMENT

## (57) Abstract:

PURPOSE: A method of manufacturing semiconductor element is provided to reduce the cost of manufacture by omitting applying process of metal organic layer and the capping layer and to maximize the etching process margin.

CONSTITUTION: A system comprises a semiconductor substrate (200), a gate oxide layer(210), a gate(213), an insulating layer spacer(216), a metal capping layer(219), a source(222), a drain (225), an insulating layer(230), a first storage node contact hole (233), a bit line contact hole(236), a first storage node contact plug(239), and a bit line(250). A method of manufacturing semiconductor element comprises a step of forming the source and the drain after sequentially forming the gate oxide layer, gate and the barrier capping layer; a step of forming the bit line contact hole which contacts with the drain and the first storage node contact hole which contacts with the source; a step of forming the contact plug at each of the bit line contact hole; and a step of forming the trench at the selected area of the first insulating layer.



COPYRIGHT 2000 KIPO

## Legal Status

Date of final disposal of an application (20010806)

Patent registration number (1003146480000)

Date of registration (20011031)

BEST AVAILABLE COPY

# 한국공개특허공보2000-0027544(2000.5.15공개) : 인용발명3

[첨부그림 1]

특2000-0027544

## (19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> H01L 27/04	(11) 공개번호 (43) 공개일자	특2000-0027544 2000년05월19일
(21) 출원번호 (22) 출원일자 (71) 출원인	10-1998-0045496 1998년10월28일 현대전자산업 주식회사 김영환	
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 홍상기 경기도 성남시 분당구 구미동 엘지아파트 210-1504 김춘관	
(74) 대리인	서울특별시 성동구 용봉동 대림아파트 10-1102 신영무, 최승민	

소장: 10/20

### (54) 반도체 소자의 제조 방법

요약

1. 청구범위에 기재된 발명이 속한 기술분야  
본 발명은 반도체 소자의 제조 방법에 관한 것이다.
2. 발명이 해결하고자 하는 기술적 과제  
본 발명은 상감(damascene) 방법을 이용하여 비트라인을 형성함으로써, 누전(short)을 방지하여 소자의 신뢰성을 향상시키고자 한다.
3. 발명의 해결 방법의 요지  
본 발명은 반도체 기판상의 선택된 영역에 게이트 산화막, 게이트 및 전계 절연층을 순차적으로 형성한 후, 소오스 및 드레인층을 형성하는 단계; 상기 전체 구조상에 제 1 층간 절연막을 형성한 후, 소오스와 접촉되는 제 1 전하저장 전극 콘택 플러그와, 드레인과 접촉되는 비트라인 콘택 플러그를 형성하는 단계; 비트라인 콘택 플러그를 포함하는 제 1 층간 절연막의 선택된 영역에 트렌치를 형성하는 단계; 트렌치내에 절연층을 매입한 후, 비트라인 콘택 플러그를 통해 상기 드레인과 연결되는 비트라인을 형성하고, 제 2 층간 절연막을 형성하는 단계; 제 2 층간 절연막의 선택된 영역을 식각하여 제 2 전하저장 전극 콘택홀을 형성하는 단계; 및 플리실리콘 증착 및 패터닝으로 제 2 전하저장 전극 콘택홀을 통해 제 1 전하저장 전극 콘택 플러그와 연결되는 전하저장 전극을 형성하는 단계로 이루어진다.

도면

도1

도2

도면의 간단한 설명

- 도 1은 종래 반도체 소자의 제조 방법의 일예를 설명하기 위해 도시된 단면도.  
도 2는 종래 반도체 소자의 제조 방법의 다른예를 설명하기 위해 도시된 단면도.  
도 3(a) 내지 도 3(c)은 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도.  
도 4는 도 3(c)의 평면도.

<도면의 주요 부분에 대한 부호 설명>

- |                                 |                            |
|---------------------------------|----------------------------|
| 1, 100 및 200 : 반도체 기판           | 10, 110 및 210 : 게이트 산화막    |
| 13, 113 및 213 : 게이트             | 16, 116 및 216 : 절연막 스페이서   |
| 19, 119 및 219 : 금속 절연층          | 22, 122 및 222 : 소오스        |
| 25, 125 및 225 : 드레인             | 30, 130 및 230 : 제 1 층간 절연막 |
| 33, 133 및 233 : 제 1 전하저장 전극 콘택홀 |                            |
| 36, 136 및 236 : 비트라인 콘택홀        |                            |

- 39, 139 및 239 : 제 1 전하저장 전극 콘택 플러그  
 42, 142 및 242 : 비드라인 콘택 플러그  
 45 및 145 : 금속 유전체층 50, 150 및 250 : 비드라인  
 53, 153 및 253 : 장벽 캡핑층 60, 160 및 260 : 제 2 층간 절연막  
 63, 163 및 263 : 제 2 전하저장 전극 콘택층  
 65, 165 및 265 : 전하저장 전극 170 : 제 3 층간 절연막

#### 본 발명의 상세한 설명

##### 본 발명의 목적

##### 본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로서, 특히 상감(damascene) 방법을 이용하여 비드라인을 형성함으로써, 누전(short)을 방지하여 소자의 신뢰성을 향상시킬 수 있는 반도체 소자의 제조 방법에 관한 것이다.

0.18 $\mu$ m 이상의 디자인 룰(Design Rule)이 요구되는 고집적 반도체 소자의 제조 기술에서, 전하저장 전극 콘택(Storage Node Contact)을 비드라인, 또는 게이트 등의 하부 구조와 누전(short)되지 않게 활성 영역(active)에 정렬(align)하여 식각하는 기술개발에 어려움을 겪고 있다. 현재는 전하저장 전극 콘택 형성 공정시, 비드라인과 게이트에 장벽 캡핑층(Barrier Capping Layer)을 형성하여 필라막과 산화막의 식각 선택비를 이용하여 자기정렬 식각(Self Align Contact: SAC)을 수행하고 있다. 또한, 전하저장 전극 콘택 플러그와 비드라인 콘택 플러그를 미리 형성하여 자기정렬 식각시 미스알라인(misalign) 방지와 단차가 깊은 콘택 식각의 어려움을 완화하고 있다. 이러한 종래의 반도체 소자의 예를 도 1에 도시하였다.

도 1은 종래 반도체 소자의 제조 방법의 일예를 설명하기 위해 도시된 단면도이다.

소자본리 공정을 통해, 필드 산화막(도시 안됨)을 형성하여 활성(active) 영역을 정의한 반도체 기판(1) 상의 선택된 영역에 게이트 산화막(10) 및 게이트(13)를 형성한 후, 절연막 스페이서(16)를 형성한다. 후속 콘택 형성 공정시 게이트(13)와의 누전방지를 위해, 상기 게이트(13)를 감싸도록 실리콘 나이트라이드(SiN)를 이용하여 장벽 캡핑층(19)을 형성한 후, 소오스 및 드레인(22 및 25)을 형성한다. 상기 전체 구조상에 제 1 층간 절연막(30)을 형성한 후, 제 1 층간 절연막(30)의 선택된 영역을 식각하여 소오스(22)와 접촉되는 제 1 전하저장 전극 콘택층(33)과, 드레인(25)과 접촉되는 비드라인 콘택층(36)을 형성한다. 후속 제 2 전하저장 전극 콘택 형성시 미스알라인 방지와 콘택 단차를 높이기 위해, 플러그 형성 공정을 통해 제 1 전하저장 전극 콘택 플러그(39)와 비드라인 콘택 플러그(42)를 형성한다. 상기 플러그(39 및 42)가 형성된 전체 구조상에 금속 유전체층(45; Pre Metal Dielectrics: PMD)을 형성한 후, 비드라인 콘택 플러그(42)상의 금속 유전체층(45)의 선택된 영역을 식각한다. 상기 금속 유전체층 패턴(42)의 선택된 영역에 비드라인 콘택 플러그(36)를 통해 드레인(25)과 연결되는 비드라인(50)을 형성한 후, 장벽 캡핑층(53)을 형성한다. 상기 장벽 캡핑층(53)이 형성된 전체 구조상에 제 2 층간 절연막(60)을 형성한 후, 상기 제 2 층간 절연막(60) 및 금속 유전체층(45)의 선택된 영역을 순차적으로 식각하여 제 2 전하저장 전극 콘택층(63)을 형성한다. 플리실리온 증착 및 패터닝으로 제 2 전하저장 전극 콘택층(63)을 통해 제 1 전하저장 전극 콘택 플러그(39)와 연결되는 전하저장 전극(65)을 형성한다.

이와 같이 형성된 디자인 룰이 0.18 $\mu$ m 이상의 소자에서, 비드라인의 패선 폭이 매우 작아짐으로 인하여 종래에 사용되는 폴리사이드로 형성되는 비드라인으로는 소자가 원하는 특성을 획득할 수 없게 되어 비저항이 낮은 금속층( $\rho=5.2\mu\Omega\cdot\text{cm}$ )이 비드라인 재료로 대체되고 있다.

도 2는 종래 반도체 소자의 제조 방법의 다른예를 설명하기 위해 도시된 단면도이다.

소자본리 공정을 통해, 필드 산화막(도시 안됨)을 형성하여 활성(active) 영역을 정의한 반도체 기판(100)상의 선택된 영역에 게이트 산화막(110) 및 게이트(113)를 형성한 후, 절연막 스페이서(116)를 형성한다. 후속 콘택 형성 공정시 게이트(113)와의 누전방지를 위해, 상기 게이트(113)를 감싸도록 실리콘 나이트라이드(SiN)를 이용하여 장벽 캡핑층(119)을 형성한 후, 소오스 및 드레인(122 및 125)을 형성한다. 상기 전체 구조상에 제 1 층간 절연막(130)을 형성한 후, 제 1 층간 절연막(130)의 선택된 영역을 식각하여 소오스(122)와 접촉되는 제 1 전하저장 전극 콘택층(133)과, 드레인(125)과 접촉되는 비드라인 콘택층(136)을 형성한다. 후속 제 2 전하저장 전극 콘택 형성시 미스알라인 방지와 콘택 단차를 높이기 위해, 플러그 형성 공정을 통해 제 1 전하저장 전극 콘택 플러그(139)와 비드라인 콘택 플러그(142)를 형성한다. 상기 플러그(139 및 142)가 형성된 전체 구조상에 금속 유전체층(145; PMD)을 형성한 후, 제 2 층간 절연막(170)을 형성한다. 비드라인 콘택 플러그(142)가 노출되도록, 상기 제 2 층간 절연막(160) 및 금속 유전체층(145)의 선택된 영역을 식각하여 트렌치(173)를 형성한다. 상감(damascene) 공정을 통해, 트렌치(173)내에 텅스텐을 메탈하여 비드라인 콘택 플러그(136)를 통해 드레인(125)과 연결되는 비드라인(150)을 형성한다. 상기 비드라인(150)이 형성된 전체 구조상에 제 3 층간 절연막(170)을 형성한 후, 상기 제 3 및 제 2 층간 절연막(170 및 160) 그리고 금속 유전체층(145)의 선택된 영역을 순차적으로 식각하여 제 2 전하저장 전극 콘택층(163)을 형성한다. 플리실리온 증착 및 패터닝으로 제 2 전하저장 전극 콘택층(163)을 통해 제 1 전하저장 전극 콘택 플러그(139)와 연결되는 전하저장 전극(165)을 형성한다.

이와 같이 형성된 소자에서는 비드라인의 재료로 텅스텐을 적용할 경우, 가는 선폭의 포토리소그래피 공정의 어려움과 가는 선폭의 식각 공정의 어려움 때문에 상감(damascene) 공정이 요구되었다. 텅스텐을 상감 공정으로 형성할 경우, 자기정렬 식각 공정에서 요구되는 장벽 금속층(도 1의 53)이 불가능한 문제점이 대두되어 전하저장 전극(165)과 비드라인(150) 간의 누전을 방지할 수 없는 문제가 발생되었다.

**본 발명이 이루고자 하는 기술적 과제**

따라서, 본 발명은 상감(damascene) 방법에 의해 형성되는 비트라인을 전하저장 전극 콘택 플러그와 동일한 위치에 형성시킨 후, 전하저장 전극 콘택 플러그와 연결되는 콘택홀을 형성함으로써, 비트라인과 전하저장 전극과의 누전(short)을 방지할 수 있어 소자의 신뢰성을 향상시킬 수 있는 반도체 소자의 제조 방법을 제공하는데 그 목적이 있다.

상기한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 제조 방법은 반도체 기판상의 선택된 영역에 게이트 산화막, 게이트 및 장벽 랩핑층을 순차적으로 형성한 후, 소오스 및 드레인을 형성하는 단계; 상기 소오스 및 드레인이 형성된 전체 구조상에 제 1 순간 절연막을 형성한 후, 상기 소오스와 접촉되는 제 1 전하저장 전극 콘택홀과, 상기 비트라인과 접촉되는 비트라인 콘택홀을 형성하는 단계; 상기 제 1 전하저장 전극 콘택홀 및 상기 비트라인 콘택홀 각각에 콘택 플러그를 형성하는 단계; 상기 비트라인 콘택 플러그를 포함하는 제 1 순간 절연막의 선택된 영역에 트렌치를 형성하는 단계; 상기 트렌치내에 텅스텐을 매립한 후, 상기 비트라인 콘택 플러그를 통해 상기 드레인과 연결되는 비트라인을 형성하는 단계; 상기 비트라인이 형성된 전체 구조상에 제 2 순간 절연막을 형성한 후, 상기 제 2 순간 절연막의 선택된 영역을 식각하여 제 2 전하저장 전극 콘택홀을 형성하는 단계; 및 플리실린본 증착 및 패터닝으로 제 2 전하저장 전극 콘택홀을 통해 제 1 전하저장 전극 콘택 플러그와 연결되는 전하저장 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

**본 발명의 구성 및 작용**

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 3(a) 내지 도 3(c)은 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도이다.

도 3(a)를 참조하면, 소자본리 공정을 통해 필드 산화막(도시 안됨)을 형성하여 활성(active) 영역을 정의한 반도체 기판(200)상의 선택된 영역에 게이트 산화막(210) 및 게이트(213)를 형성한 후, 절연막 스페이서(216)를 형성한다. 후속 콘택 형성 공정시 게이트(213)와의 누전방지를 위해, 상기 게이트(213)를 감싸도록 장벽 랩핑층(219)을 형성한 후, 소오스 및 드레인(222 및 225)을 형성한다. 상기 소오스 및 드레인(222 및 225)이 형성된 전체 구조상에 제 1 순간 절연막(230)을 형성한다. 제 1 순간 절연막(230)의 선택된 영역을 식각하여 소오스(222)와 접촉되는 제 1 전하저장 전극 콘택홀(233)과, 드레인(225)과 접촉되는 비트라인 콘택홀(236)을 형성한다. 후속 공정의 제 2 전하저장 전극 콘택 형성시 미스얼라인 방지와 콘택 단차를 줄이기 위해, 플러그 형성 공정을 실시하여 제 1 전하저장 전극 콘택 플러그(239)와 비트라인 콘택 플러그(242)를 형성한다.

도 3(b)를 참조하면, 상기 비트라인 콘택 플러그(242)를 포함하는 제 1 순간 절연막(230)의 선택된 영역에 트렌치(273)를 형성한다. 트렌치(273)내에 텅스텐을 매립하기 위한 상감(damascene) 공정을 실시한 후, 기계적 화학적 연마(CMP) 공정을 실시하여 비트라인 콘택 플러그(236)를 통해 드레인(225)과 연결되는 비트라인(250)을 형성한다.

상기 비트라인(250)은 텅스텐과 같은 금속층을 사용한 화학 기상 증착법(CVD; Chemical Vapor Deposition)을 통해 1.0 내지 0.05 $\mu$ m의 선폭 범위를 갖도록 형성된다. 또한, 상기 텅스텐 식각 가스로 SF<sub>6</sub> 또는 NF<sub>3</sub> 등의 불소계 가스가 이용된다. 상기 비트라인(250) 상부에는 반사 방지층으로 TiN 또는 SiON을 사용한 물리 기상 증착법(PVD; Physical Vapor Deposition)을 통해 형성된다. 비트라인(250)의 장벽 금속층은 화학 기상 증착법을 통해 Ti/TiN, Ti/WN 또는 Ti/TaN으로 형성된다.

상감 공정은 식각 가스로 CF<sub>4</sub>, C<sub>2</sub>F<sub>6</sub>, C<sub>2</sub>F<sub>8</sub>, CHF<sub>3</sub>, CHF<sub>2</sub>, O<sub>2</sub> 또는 Ar 등의 불소계 가스가 사용된다. 그리고, 기계적 화학적 연마(CMP) 공정 대신에 제 1 순간 절연막(230)이 노출되도록 에치-백(etchback) 공정을 사용하거나 동시에 사용될 수 있다. 기계적 화학적 연마(CMP) 공정을 사용할 경우, NH<sub>4</sub>OH를 세정제로 이용한 세정(Pre Cleaning) 공정을 실시한다.

도 3(c)를 참조하면, 상기 비트라인(250)이 형성된 전체 구조상에 제 2 순간 절연막(270)을 형성한 후, 상기 제 2 순간 절연막(260)의 선택된 영역을 식각하여 제 2 전하저장 전극 콘택홀(263)을 형성한다. 플리실린본 증착 및 패터닝으로 제 2 전하저장 전극 콘택홀(263)을 통해 제 1 전하저장 전극 콘택 플러그(239)와 연결되는 전하저장 전극(265)을 형성한다.

상기 제 1 및 제 2 순간 절연막(230 및 260)은 금속 유전체(PMO)층으로 형성되는데, 이러한 금속 유전체층으로 BP3G, USG, SOG 또는 O<sub>3</sub>-TEOS 등이 사용된다.

도 4는 도 3(c)의 평면도로서, 일자형이 비트라인(275)내의 선택된 부분에 비트라인 콘택 플러그(242)가 형성된 상태를 나타낸다. 또한, 전하저장 전극 콘택 플러그(239)보다 제 2 전하저장 전극 콘택(263)이 작게 형성되기 때문에, 도 2의 A부분과 같은 누전이 발생되지 않는다.

**본 발명의 효과**

상술한 바와 같이, 본 발명에 따르면 제조 공정수를 줄일 뿐만 아니라 전하저장 전극 콘택 형성시 단차가 낮아져 포토리소그래피 정렬과 자기정렬 식각 공정 마진이 극대화되는 효과가 있고, 또한 소자의 배선폭을 더 쉽게 설계할 수 있다. 그리고, 금속 유전체를 증착 공정 및 장벽 랩핑층 증착 공정을 생략할 수 있으므로 공정 단계수를 줄일 수 있어 제조 단가를 절감할 수 있다.

**(57) 청구의 범위**

청구항 1

반도체 기판상의 선택된 영역에 게이트 산화막, 게이트 및 증착 캡핑층을 순차적으로 형성한 후, 소오스 및 드레인을 형성하는 단계;

상기 소오스 및 드레인이 형성된 전체 구조상에 제 1 층간 절연막을 형성한후, 상기 소오스와 접촉되는 제 1 전하저장 전극 콘택홀과, 상기 드레인과 접촉되는 비트라인 콘택홀을 형성하는 단계;

상기 제 1 전하저장 전극 콘택홀 및 상기 비트라인 콘택홀 각각에 콘택 플러그를 형성하는 단계;

상기 비트라인 콘택 플러그를 포함하는 제 1 층간 절연막의 선택된 영역에 트렌치를 형성하는 단계;

상기 트렌치내에 텅스텐을 매립한 후, 상기 비트라인 콘택 플러그를 통해 상기 드레인과 연결되는 비트라인을 형성하는 단계;

상기 비트라인이 형성된 전체 구조상에 제 2 층간 절연막을 형성한 후, 상기 2 층간 절연막의 선택된 영역을 식각하여 제 2 전하저장 전극 콘택홀을 형성하는 단계; 및

폴리실리콘 증착 및 패터닝으로 제 2 전하저장 전극 콘택홀을 통해 제 1 전하저장 전극 콘택 플러그와 연결되는 전하저장 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 2

제 1 항에 있어서,

상기 비트라인은 1.0 내지 0.05 $\mu$ m의 선폭 범위를 갖도록 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

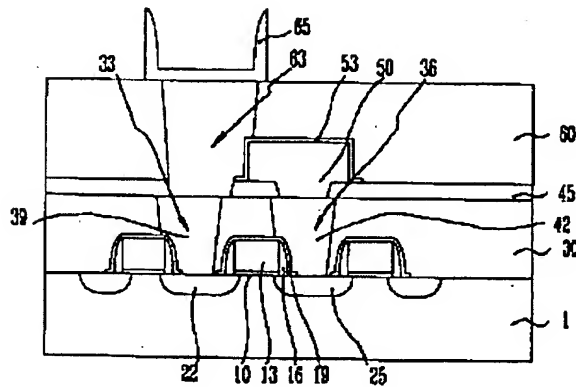
#### 청구항 3

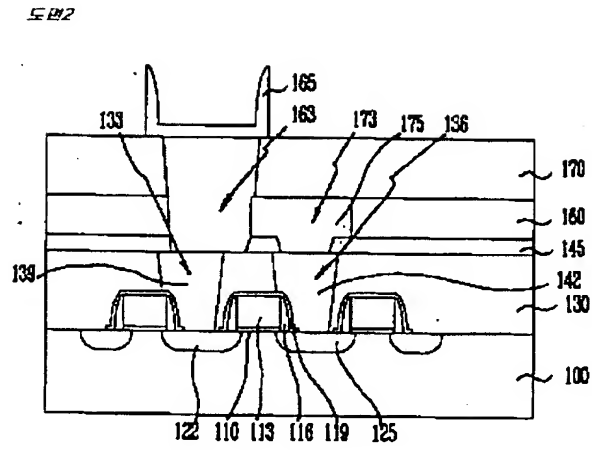
제 1 항에 있어서,

상기 비트라인은 식각 가스로  $C_2F_6$ ,  $C_4F_8$ ,  $C_4F_6$ ,  $CH_3F$ ,  $CHF_3$ ,  $O_2$  및 Ar 중 어느 하나가 사용되는 것을 특징으로 하는 반도체 소자의 제조 방법.

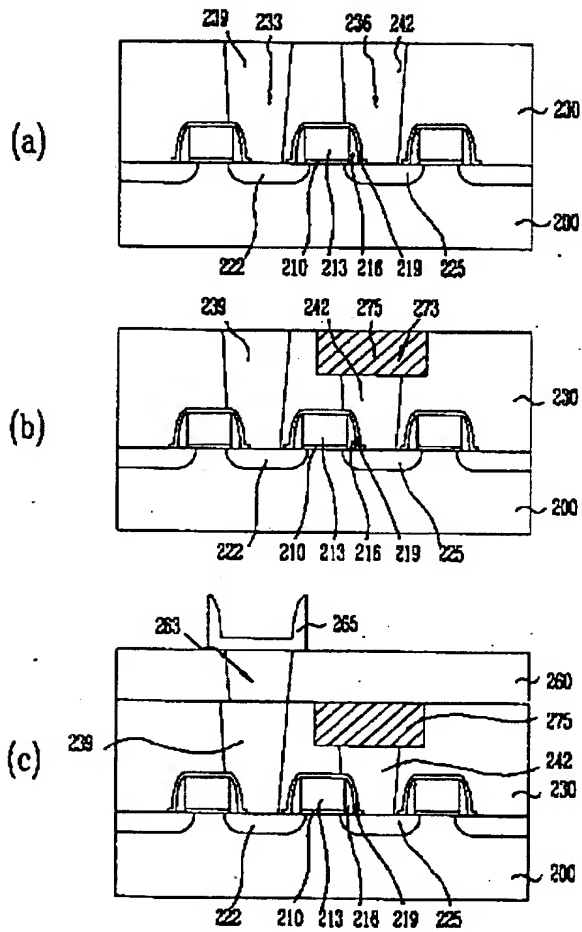
도면

도면1





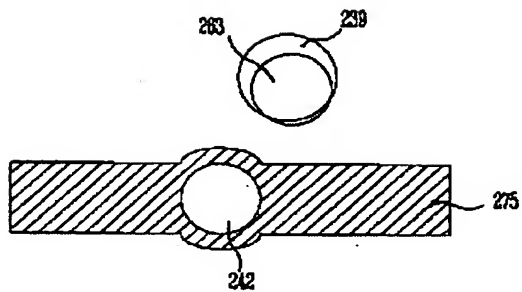
도 23



[첨부그림 7]

특 2000-0027544

도 184



7-7



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**